



Title of Change:	Four reticle design revision change in AR0230 to reduce defect ppm.	
Proposed first ship date:	1 April 2019	
Contact information:	Contact your local ON Semiconductor Sales Office or <Guy.Nicholson@onsemi.com>	
Samples:	Contact your local ON Semiconductor Sales Office or <PCN.samples@onsemi.com> Sample requests are to be submitted no later than 30 days from the date of first notification, Initial PCN or Final PCN, for this change.	
Additional Reliability Data:	Contact your local ON Semiconductor Sales Office or <amy.wu@onsemi.com>	
Type of notification:	This is a Final Product/Process Change Notification (FPCN) sent to customers. FPCNs are issued 90 days prior to implementation of the change. ON Semiconductor will consider this change accepted, unless an inquiry is made in writing within 30 days of delivery of this notice. To do so, contact <PCN.Support@onsemi.com>	
Change Part Identification:	There is no change to the OPN. Affected parts will be identified with a date code. The date code will be communicated pending approval of this change by customers.	
Change Category:	<input type="checkbox"/> Wafer Fab Change <input type="checkbox"/> Assembly Change <input type="checkbox"/> Test Change <input checked="" type="checkbox"/> Other <u>Design revision</u>	
Change Sub-Category(s):	<input type="checkbox"/> Manufacturing Site Addition <input type="checkbox"/> Material Change <input type="checkbox"/> Datasheet/Product Doc change <input type="checkbox"/> Manufacturing Site Transfer <input checked="" type="checkbox"/> Product specific change <input type="checkbox"/> Shipping/Packaging/Marking <input type="checkbox"/> Manufacturing Process Change <input type="checkbox"/> Other:	
Sites Affected:	ON Semiconductor Sites: ON Santa Clara, CA	External Foundry/Subcon Sites: LFoundry
Description and Purpose:		
<p>There is no change to form, fit or function.</p> <p>This design revision change involves layout changes in 4 photo layers – Metal1, Metal3, Via3 and Metal4. The layout change does not involve any change in routing between circuit elements, i.e. changes involve adding a redundant connection or adding slots. The layout changes are also fully compatible with current wafer process, probe, backend assembly and test flows and there are no changes to these. Additional details on the changes and their purpose i.e. benefits are discussed below.</p> <ol style="list-style-type: none"> Metal1 SRAM: The CD (Critical Dimension) bias in Metal1 layout in SRAM cell has been enhanced to prevent failures that was seen in another product. The change improves the overall process manufacturing window at photo lithography step. Metal3, Via3 and Metal4: Slots have been added in wide Metal4 buses to relieve stress. This is also being done as a preventive measure based on a failure seen on another product. Layout changes in Metal3 and Via3 are being done only to support the layout change in Metal4. As mentioned, there is no change in routing between circuit elements. Addition of slots does not change or impact the process manufacturing window of these layers and that of those above and below them. <p>The above changes have been qualified through reliability stress tests and they all passed. The results are summarized in section “Reliability Data Summary”.</p> <p>The change only involves a design revision i.e. reticle revision at the above listed reticle layers in wafer fab manufacturing process. There are no product material changes as a result of this change.</p> <p>There is also no product marking change as a result of this change.</p>		



Reliability Data Summary:

QV: AR0230CSSC00SUEA0

Package: iBGA

Test	Specification	Condition	Interval	Results
HTOL	JESD22-A108	Ta= 105°C, 100 % max rated Vcc	1008 hrs	0/320
TEST	Test program to supplier data sheet or user specification	Pre- and Post-Stress Function/Parameter to meet datasheet or user specification	-	0/320
ED	AEC Q100-009	Electrical Distribution (Test @ C/R/H);	-	0/90

All reliability tests passed.

Electrical Characteristic Summary:

The above listed reticle changes did not impact process/electrical WAT parameters, probe or final test parameters or electrical test limits. Inline process metric i.e. critical dimension (CD) for Metal1 SRAM showed improved process Cpk with the proposed change.

List of Affected Parts:

Part Number	Qualification Vehicle
AR0230CSSC00SUEA0-DPBR	AR0230CSSC00SUEA0-DRBR
AR0230CSSC00SUEA0-DPBR2	AR0230CSSC00SUEA0-DRBR
AR0230CSSC00SUEA0-DRBR	AR0230CSSC00SUEA0-DRBR
AR0230CSSC00SUEA0-DRBR1	AR0230CSSC00SUEA0-DRBR
AR0230CSSC12SUEA0-DP	AR0230CSSC00SUEA0-DRBR
AR0230CSSC12SUEA0-DR	AR0230CSSC00SUEA0-DRBR
AR0230CSSC12SUEA0-DR1	AR0230CSSC00SUEA0-DRBR
AR023ZMCSC00SUEA0-DPBR	AR0230CSSC00SUEA0-DRBR
AR023ZMCSC00SUEA0-DRBR	AR0230CSSC00SUEA0-DRBR

Japanese translation of the notification starts here.
通知の日本語訳はここから始まります。

Note: The Japanese version is for reference only. In case of any differences between the English and Japanese version, the English version shall control.

注：日本語版は参照用です。英語版と日本語版の違いがある場合は、英語版が優先されます。



変更件名:	不良率低減のための ARO230 における 4 枚のレチクルのリビジョン変更。	
初回出荷予定日:	2019 年 4 月 1 日	
連絡先情報:	お客さまの地域のオン・セミコンダクター営業所または <Guy.Nicholson@onsemi.com> にお問い合わせください。	
サンプル:	現地のオン・セミコンダクター営業所または <PCN.samples@onsemi.com> にお問い合わせください。 サンプルは今回の変更の初回通知、初回 PCN または最終 PCN の日付から 30 日以内に要求してください。	
その他の信頼性データ:	お客さまの地域のオン・セミコンダクター営業所または <amy.wu@onsemi.com> にお問い合わせください。	
通知種別:	これは、お客様宛の最終製品 / プロセス変更通知 (FPCN) です。FPCN は変更実施の 90 日前に発行されます。 オン・セミコンダクターは、この通知の送付から 30 日以内に書面による問い合わせがない限り、この変更が承諾されたものとみなします。お問い合わせは、<PCN.Support@onsemi.com> をお願いします。	
変更部品の識別:	OPN に変更はありません。影響を受ける部品は日付コードで識別されます。日付コードはお客様の本変更への承認状況によります。	
変更カテゴリ:	<input type="checkbox"/> ウェハファブの変更 <input type="checkbox"/> アセンブリの変更 <input type="checkbox"/> 試験の変更 <input checked="" type="checkbox"/> その他 設計改訂	
変更サブカテゴリ:	<input type="checkbox"/> 製造拠点の追加 <input type="checkbox"/> 材料の変更 <input type="checkbox"/> データシート/製品資料の変更 <input type="checkbox"/> 製造拠点の移転 <input checked="" type="checkbox"/> 製品仕様の変更 <input type="checkbox"/> 出荷/パッケージング/表記 <input type="checkbox"/> 製造プロセスの変更 <input type="checkbox"/> その他	
影響を受ける拠点:	オン・セミコンダクター拠点: オン サンタクララ(カリフォルニア)	外部製造工場 / 下請け業者拠点: L Foundry
説明および目的:	<p>形状、フィット、または機能に変更はありません。</p> <p>本リビジョン変更は 4 枚のフォトレイヤーのレイアウト変更を含みます - Metal1、Metal3、Via3 および Metal4。レイアウト変更は素子間の経路変更を含みません。すなわち、変更は冗長な接続の追加またはスロットの追加です。また、レイアウト変更品も、現行のウェハプロセス、プローブ、バックエンド組み立て、およびテストフローは完全に互換で、それらに変更はありません。変更の詳細およびそれらの目的等は以下を参照してください。</p> <ol style="list-style-type: none"> Metal1 SRAM: SRAM セルの Metal1 レイアウトにおける 限界寸法のバイアスは、別の製品で見られた不良を防ぐように改善されました。この変更により、フォトリソグラフィ工程での製造ウィンドウが改善されます。 Metal3、Via3 および Metal4: ストレスを緩和するためにワイドな Metal4 バスにスロットが追加されました。これはまた、別の製品で見られた不良に基づく予防策でもあります。Metal3 および Via3 のレイアウト変更は Metal4 のレイアウト変更にともない行われました。既述のように、素子間の経路変更はありません。スロットの追加はこれらのレイヤーの製造プロセスに影響はなく、その前後のプロセスにも影響しません。 <p>上記変更は信頼性ストレステストを通して認定され、すべて合格しています。結果は「信頼性データ要約」のセクションにまとめられています。</p> <p>変更は、設計修正、すなわちウエハ製造プロセスでの上記レイヤーのレチクル修正のみです。今回の変更に伴う製品材料の変更はありません。</p> <p>今回の変更に伴う製品捺印の変更もありません。</p>	



信頼性データの要約:

QV: AR0230CSSC00SUEA0

パッケージ: iBGA

テスト	仕様	条件	間隔	結果
HTOL	JESD22-A108	Ta= 105°C, 100 % max rated Vcc	1008 hrs	0/320
TEST	Test program to supplier data sheet or user specification	Pre- and Post-Stress Function/Parameter to meet datasheet or user specification	-	0/320
ED	AEC Q100-009	Electrical Distribution (Test @ C/R/H);	-	0/90

すべての信頼性テストに合格済み。

電気特性の要約:

上記リストのレチクル変更は、プロセス / 電氣的 WAT パラメータ、プローブもしくは最終試験パラメータまたは電氣的テストリミットに影響を及ぼしません。インラインプロセス測定基準、すなわち、Metal1 SRAM に対する限界寸法 (CD) は提案された修正により Cpk が改善されたました。

影響を受ける部品の一覧:

部品番号	品質試験用ピークル
AR0230CSSC00SUEA0-DPBR	AR0230CSSC00SUEA0-DRBR
AR0230CSSC00SUEA0-DPBR2	AR0230CSSC00SUEA0-DRBR
AR0230CSSC00SUEA0-DRBR	AR0230CSSC00SUEA0-DRBR
AR0230CSSC00SUEA0-DRBR1	AR0230CSSC00SUEA0-DRBR
AR0230CSSC12SUEA0-DP	AR0230CSSC00SUEA0-DRBR
AR0230CSSC12SUEA0-DR	AR0230CSSC00SUEA0-DRBR
AR0230CSSC12SUEA0-DR1	AR0230CSSC00SUEA0-DRBR
AR023ZMCSC00SUEA0-DPBR	AR0230CSSC00SUEA0-DRBR
AR023ZMCSC00SUEA0-DRBR	AR0230CSSC00SUEA0-DRBR